



先端 DRAM におけるデータ保持時間の 変動現象のメカニズム

— 単一点欠陥が引き起こすデバイス劣化現象 —

梅 田 享 英

ダイナミック RAM (DRAM) において重要な問題となっているデータ保持時間の変動現象, VRT (Variable Retention Time) について, 筆者らの最近の結果をもとに紹介する. この現象は, データ保持時間が 2 値化され, その間の遷移が繰り返される双安定性現象であり, DRAM のメモリーセルのトランジスタに含まれるたった 1 個の双安定結晶欠陥がその原因と考えられる. 筆者らはトランジスタ内部の結晶欠陥の観察結果から, その微視的起源をシリコン空孔-酸素複合欠陥 (V_2O_x 欠陥) と考えた. 本稿では, この欠陥とデータ保持時間の 2 値化がどのように結びつくのかを説明したい.

Keywords : DRAM, variable retention time, data retention time, bistability, MOSFET, junction leakage current, electrically detected magnetic resonance, silicon vacancy-oxygen complex defect, electric field, strain

1. ま え が き

大規模集積回路 (Large-Scale Integrated circuit : LSI) の中で, メモリーはトランジスタ 1 個 1 個の性能が最も直接的に反映されるデバイスである. それは, メモリーの主役たる記憶素子が, 1 個あるいは少数のトランジスタから構成されることに由来する.

例えば, メモリーの代表の一つとしてあげられるダイナミック RAM (Dynamic Random Access Memory : DRAM) では, 古くから「マイノリティービット問題」が知られている¹⁾. DRAM では, 1 bit が 1 個のトランジスタ+1 個のキャパシターで構成されており, このトランジスタでキャパシターにためた電荷を出し入れしたり (トランジスタをオンにする), 電荷を保持したりする (トランジスタをオフにする). しかし, オフ時のリーク電流はトランジスタによってかなり異なる. リーク電流が非常に小さく電荷を長時間保持できる優秀なビットもあれば, 電荷保持時間が極端に悪くなるビットもあり, そのばらつきの具体的な原因はいまだにはっきりしていない.

さらに, 最近の DRAM 開発の現場では, もっと厄介で奇妙な問題が持ち上がっている. それが, Variable Retention Time (VRT) と呼ばれるデータ保持時間 (Data Retention Time : DRT) の時間変動現象である²⁻⁶⁾. 図 1 をご覧いただきたい. DRT がきれいに 2 値化し, 良状態 (good state) と悪状態 (bad state) の間の往復を何度も繰り返す. これは 2 値 VRT (two-

state VRT) と呼ばれるもので, 最も一般的な VRT である.

この現象が厄介なのは, ある瞬間の試験では優秀と見なされたビットが, 別の瞬間では記憶エラーを引き起こすほどの悪いビットに変わる点である. つまり, 試験で発見して冗長ビットで救済するという対処ができない可能性がある. また後で述べるように, 熱活性化型の現象なので, 最近の発熱量の大きいコンピューターではエラーが発現しやすくなる. このため, DRAM や DRAM を混載する LSI にとって重要な問題となっているのが VRT である.

またこの現象は, 応用上の重要さだけでなく, 基礎的にも興味深い. なぜ 2 値なのだろうか. この疑問には, 同じくシリコンの微細トランジスタで観測される Random Telegraph Signal (RTS) が思い出される. これは, トランジスタのオン電流のノイズが 2 値化されるもので, ゲート酸化膜-シリコン界面にある 1 個の欠陥にキャリアが出入りする現象と対応している⁷⁾. 高品質かつ微細なトランジスタでは, トランジスタ 1 個に含まれる界面欠陥の数が

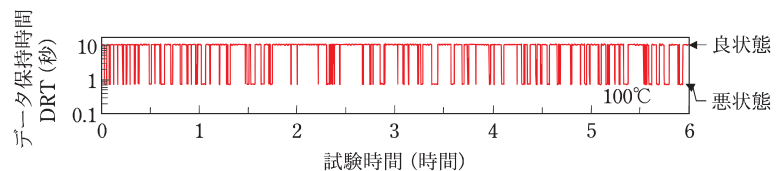


図 1 2 値 VRT の例. データ保持時間が良状態と悪状態にきれいに 2 値化される. これは, 256 Mbit DRAM で発見したものであるが, その他の世代でも, どのメーカーの DRAM でも普遍的に観測される.

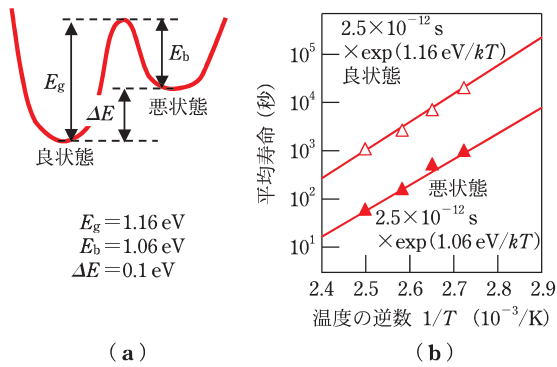


図2 VRTの双安定性。(a)エネルギー図と(b)熱活性化特性。kはボルツマン定数、Tは温度を表す。このVRTの場合、良状態のほうが0.1 eVだけ最安定で、悪状態が準安定状態になっている。

わずか数個台にまで減少するので、このような現象が見えてくる。同じような系の微小化による2値ノイズは、極薄酸化膜のトンネル電流でも報告されている⁹⁾。

一方で、VRTは図1にも示したように、ノイズというには生やさしく、1けた以上にわたって劇的にDRTが変化する。これは、トランジスタの接合リーク電流が、実際に1けた以上変化しているためであることが確かめられている⁹⁾。RTSとの類推からは、VRTに対しては1個の欠陥(以下、これをVRT欠陥と呼ぶ)の寄与が疑われるが、たった1個の欠陥がどのようなメカニズムでVRTのような劇的な現象を引き起こすことができるのだろうか。ここでは、筆者らの研究結果をもとに、この現象の微視的メカニズムに迫ってみたい。

2. VRTの基本的性質

まずはじめに、VRTに関する基本的性質をまとめてみたい。第一に、VRTは64 kbitという初期のDRAM²⁾から現在の1 Gbit DRAMに至るまで普遍的に観測されているという点である³⁻⁶⁾。これは、VRTの発生が何かLSI製造プロセスの根本的な部分に起因していることを示唆している。第二は、VRTは一般的に少数のビットでのみ見られるという点である。チップによって大きく異なるが、ある平均的なチップでは、VRT欠陥密度が 10^6cm^{-2} と概算されたことがある。これは、LSIの金属汚染基準を数けた下回る値である。第三には、VRTによるDRT変動(よいDRT/悪いDRT)は1.1倍程度から10倍を超えるものまで大きなばらつきがあるという点である^{3,4)}。第四としては、2値VRTは良状態に居やすいものが一般的となっている点である^{3,5,6)}。

VRTを考えるうえで基礎となるのが、IBMのRestleが行った2値VRTの研究である³⁾。それによれば、2値VRTは図2(a)のような双安定な系になっており、そのため良状態と悪状態の間で可逆的に遷移が起きる。その間のエネルギー障壁を E_g 、 E_b とすると、図2(b)の各状態の平均寿命のアレニウスプロットから $E_g=1.16 \text{ eV}$ 、 $E_b=1.06 \text{ eV}$ と求められる。つまり、良状態が $\Delta E=0.1 \text{ eV}$ 程度だけ最安定で、悪状態が準安定状態となっている。そのために、

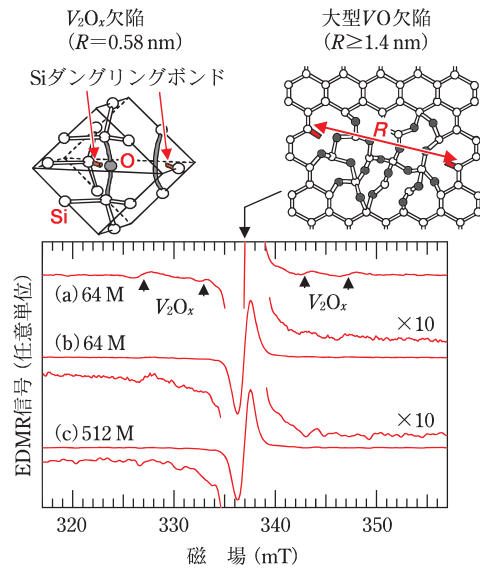


図3 EDMRによるDRAMトランジスタ内部の結晶欠陥の観察。(a)は230 K、(b)と(c)は室温で測定。磁場を[011]方向に印加し、マイクロ波200 mWを照射して、電子スピン共鳴を誘起した。世代によらず、2種類の結晶欠陥が観測され、一つは V_2O_x 欠陥の信号であり(上に表示しているのは V_2O 欠陥)、もう一つは、さらに大きく成長した大型VO欠陥の信号と考えられる¹⁰⁾。どちらの欠陥もシリコン空孔に起因するダングリングボンド対をもつが、欠陥サイズに応じて距離Rが異なる。

このビットは良状態に居やすくなる。 E_g 、 E_b の値はビットごとにばらつきがあるが、平均してエネルギー障壁が約1 eVという点は、どの世代のDRAMにおいても変わらないようだ^{3,5)}。この事実からVRT欠陥の候補は、約1 eVのエネルギー障壁をもった双安定欠陥ということになる。

3. VRT欠陥の起源：EDMR観察

VRT欠陥が具体的に何であるかを考えるために、筆者らはトランジスタの内部にどんな結晶欠陥があるのかを、実際に電流検出電子スピン共鳴分光法(Electrically Detected Magnetic Resonance: EDMR)で調査した。EDMRは通常の電子スピン共鳴分光(Electron Paramagnetic Resonance: EPR)法と同じく、電子スピンをもった結晶欠陥や不純物原子を観察することができ、その起源の同定に威力を発揮する。EDMRはデバイスに流した電流からEPR信号を抽出するので、LSIのような微小デバイスの評価も可能であるのが大きな特長となっている^{5,10)}。

64 Mおよび512 Mbit DRAMの1万bit分のトランジスタの接合リーク電流について、EDMR測定を行ったのが図3である。測定条件については文献10などを参照いただきたいが、観測のための要点は、リーク電流で測定すること(リーク電流は欠陥に対して非常に敏感)、強電界下で測定すること(電界効果により、欠陥からのリーク電流が大幅に増幅される：後述)の2点である。

両方に共通して観測されるのは、シリコン複空孔と酸素が結合した V_2O_x 欠陥(V_2O または V_2O_2)の信号と^{10,11)}、より大きく成長した大型VO欠陥と考えられる信号の二

つである¹⁰⁾。実際に、DRAM のトランジスタでは電子顕微鏡観察によってさらに大型の空孔集合体も見つかっている¹²⁾。このうち、筆者らは V_2O_x 欠陥のほうを VRT 欠陥ではないかと考えている。その理由は、 V_2O_x 欠陥のほうが少ない (信号が小さい) ことと、後述するように、VRT のさまざまな性質がこの欠陥で説明できるからである。

この V_2O および V_2O_2 欠陥は、もともと中性子線を照射した引き上げ成長シリコン結晶で見いだされた点欠陥で、文献 11 に EPR 法による詳細な研究が報告されている。それぞれ A 14 および P 2 センターと呼ばれる特徴的な EPR 信号を出す。

4. VRT 欠陥とリーク電流の関係

pn 接合空乏層にある 1 個の欠陥によるリーク電流 (接合リーク電流) は、よく知られた Shockley-Read-Hall (SRH) の式から、欠陥準位の位置 E_t (eV) の関数として、図 4(a) の実線 A のように求められる⁵⁾。

V_2O_x 欠陥は電子スピン 1 の欠陥であり、0.58 nm 離れた Si ダングリングボンド対をもつ (図 3)¹⁰⁾。この二つのダングリングボンドが作る (+/0) 準位* は、図 4(b) のように価電子帯端 E_v の上 0.3~0.4 eV の辺りにある⁵⁾。今、VRT の良状態の E_t が $E_v+0.3$ eV にあるとすると、準安定状態の悪状態は約 0.1 eV 上の $E_v+0.4$ eV にあるだろう。そのときのリーク電流の変化は 1.3 けたとなり、ほぼ実際の DRT 変化率と一致する。

しかし、そのままでは悪状態でもリーク電流は 1 fA 程度にしかならず、実際のリーク電流には 2 けた以上及ばない。したがって、リーク電流を 2 けた以上増強するようなメカニズムが必要である。それは、電界効果である (図 4(b) と (c))⁵⁾。DRAM セルの内部電界をシミュレーションしてみると、ゲートとドレインの境界付近に最高で 0.5 MV/cm の強電界が発生することがわかる (図 4(d))。このような強電界はゲート誘起ドレインリーク電流の原因として知られている。また、EDMR 実験で観測される 2 種類の欠陥が存在するのもこの領域である^{5,10)}。

0.5 MV/cm の電界下では、 V_2O_x 欠陥の (+/0) 準位に対して二つの電界効果が働くことが予想できる。一つは Poole-Frenkel 効果で、(+/0) 準位から伝導帯への電子放

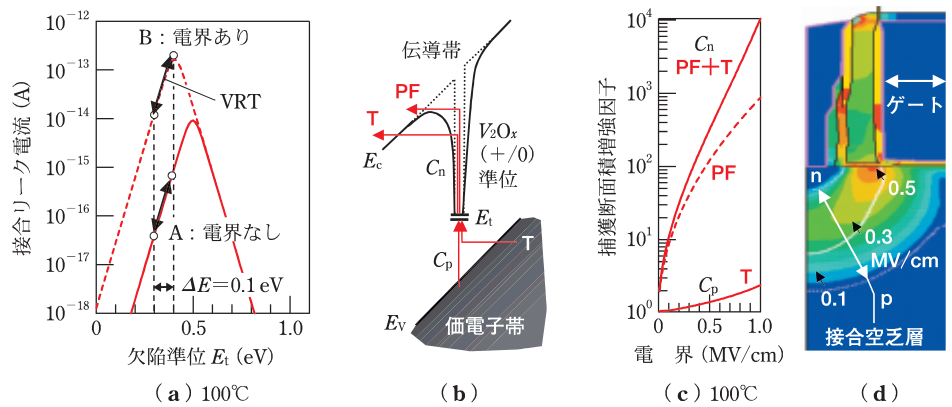


図 4 VRT とリーク電流の関係。(a) 欠陥準位 E_t から発生する接合リーク電流のシミュレーション。価電子帯端 E_v を 0 eV とした。実線 A は電界のない場合。キャリア捕獲断面積 C_n および C_p は、標準的な値である $C_n=1 \times 10^{-14} \text{cm}^2$, $C_p=1 \times 10^{-15} \text{cm}^2$ を使用した⁵⁾。破線 B は 0.5 MV/cm の電界下を仮定して、 $C_n=320 \times 10^{-14} \text{cm}^2$, $C_p=1 \times 10^{-15} \text{cm}^2$ で計算した曲線。VRT は、曲線上に○で示された良状態・悪状態の間を遷移することで引き起こされる。(b) 電界下におけるシリコンのエネルギーバンドと V_2O_x 欠陥の (+/0) 準位の様子。PF は Poole-Frenkel 効果、T はトンネル効果によるリーク電流発生過程を表す。伝導帯端 E_c に引かれた点線と実線は、それぞれ PF 効果がない場合とある場合の欠陥の作るポテンシャル曲線を表す。(c) キャリア捕獲断面積増強因子の計算結果。(+/0) 準位に対しては、 C_n に PF 効果と T 効果の両方が働くが、 C_p には T 効果のみ働く。(d) 256 M~512 Mbit DRAM のトランジスタ内部電界の二次元シミュレーション。電荷保持モードにおいて、最大 0.5 MV/cm の電界がゲート-n ドレイン境界に発生している。VRT 欠陥はこの位置にあると推定される。

出障壁が 0.16 eV 近くも減少する。もう一つはトンネル効果で、こちらは電子放出障壁を 0.03 eV 下げる程度の効果がある。以上の効果により、欠陥のキャリア捕獲断面積 C_n は合計 320 倍にも増強され (図 4(c))、その結果、リーク電流曲線は図 4(a) の破線 B のように修正される。その結果、悪状態のリーク電流を V_2O_x 欠陥 1 個で十分説明できるようになる。

DRT の温度依存性からは、リーク電流の活性化エネルギーが求められる。そこに上述の電界効果のエネルギーを補正すれば、VRT 欠陥の良状態・悪状態の E_t が推定できる。実際、その E_t の位置とリーク電流の関係は、筆者らが予測した V_2O_x 欠陥準位+SRH モデル+電界効果の範囲と一致している⁶⁾。このことから、 V_2O_x 欠陥が VRT 欠陥としてもっともらしいことがわかる。さらに、 V_2O_x 欠陥は、悪状態に居やすい VRT ($E_g < E_0$) が存在すること⁹⁾ についても、(0/-) 準位を使って説明が可能であるが、詳しい議論は文献 6 を参照いただきたい。

5. VRT 欠陥の双安定性

VRT 欠陥が V_2O_x 欠陥だとすると、その双安定性はどこから来るのだろうか。 V_2O_x 欠陥が双安定な欠陥であるとは、どこにも報告されていない。

筆者らは、 V_2O_x 欠陥が双安定性を示す原因は、デバイス特有の内部応力ではないかと考えている。一般に、ひずんだ結晶の中に置かれた点欠陥は、ある特定の配向をしたものが最安定になり、別の配向のものは準安定になる。これは、一軸応力下での EPR 実験でも証明されている¹¹⁾。図 5 のようなひずみが V_2O_x 欠陥にかかった場合、長く伸びた Si-O-Si 結合を圧縮する (a) の配向が最安定となり、(b)

* ダングリングボンドには、電子を放出した後の正荷電状態 (+)、中性状態 (0)、電子を捕獲した後の負荷電状態 (-) の三つの状態があり、電子を放出して正荷電になるときのダングリングボンドの欠陥準位を (+/0) 準位と呼ぶ。一方で、電子を捕獲して負荷電になるときの欠陥準位を (0/-) 準位と呼ぶ。

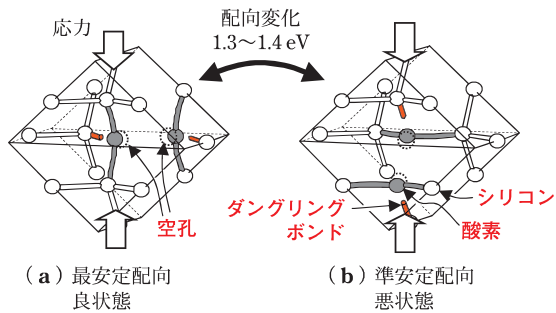


図5 応力下における V_2O_x 欠陥の双安定性. ここでは、 V_2O_2 欠陥を表示している。シリコン空孔（点線のポール）に酸素（グレーのポール）が結合して、2本の Si-O-Si 結合（グレー表示された部分）ができ、 V_2 空孔の両端に二つのダンダリングボンドが発生する。類似の欠陥として、図3で示した V_2O 欠陥がある。図のように、応力下では配向の違いにより、最安定な状態と準安定な状態とが発生する。このような性質は、 V_2O_x 欠陥に限らず点欠陥全般に見られる。

の配向が準安定となる。その再配向のエネルギーは、 V_2O_x 欠陥によく似た V_2 欠陥に対して実験的に $1.3\sim 1.4\text{ eV}$ と見積もられており⁵⁾、これは VRT の活性化エネルギーに近い。

LSI 内部には素子分離などの影響で、数百 MPa に及ぶ高い応力が複雑な分布で残留していることが知られている¹²⁾。 V_2O_x 欠陥に加わる応力に依存して、双安定系のエネルギー差 ΔE はさまざまに変わってくる。その結果、DRT 変動（よい DRT/悪い DRT）が 1.1 倍から 10 倍以上にまで変化に富むのではないかと考えている。例えば、図 4(a) で考えると、 ΔE が $0.01\sim 0.1\text{ eV}$ の範囲で変われば、DRT は $1.4\sim 21$ 倍の変化を示す。

6. お す び

先端 DRAM で問題となっているデータ保持時間の双安定性 (VRT) について、筆者らの実験・計算結果をもとに、トランジスタ中の特定位置に含まれる 1 個の結晶欠陥 (V_2O_x 欠陥) がその原因となっている可能性を紹介した。

V_2O_x 欠陥の発生原因は、シリコン結晶に対するイオン注入プロセスとその後の熱処理にあると考えている。つまり、イオン注入によってシリコン空孔が結晶中に多数導入されると同時に、保護酸化膜から酸素が結晶中にたたくき込まれて、それらがアニール処理の間に結合するというシナリオである。その発生は、LSI 製造プロセスの最も基本的な部分と関連しているので、何世代にもわたる DRAM に共通して観察されるのであろう。 V_2O_x 欠陥はバルク結晶中では 300°C 程度のアニールで消失すると報告されているので¹¹⁾、おそらく大部分は活性化アニールで消失するものの、LSI 内部の特殊事情（応力、ドーピング、界面など）によりわずかに残留してしまうのだろう。

本稿では詳しく触れることができなかったが、 V_2O_x 欠陥の源となるシリコン空孔を「埋め戻す」ようなプロセス

を適用すると、かなり効果的に VRT の発生率を下げるることができる⁶⁾。実はそのようなプロセスは、VRT だけでなくマイノリティービットの抑制にも効く¹³⁾。悪い VRT の DRT とマイノリティービットの DRT は同じくらいのレベルなので、本研究の考えを拡張すれば、マイノリティービットは「悪い状態に固定された VRT」のようなものと類推することもできる。また、VRT の抑制のためには、 V_2O_x 欠陥のダンダリングボンドを不活性化してしまうという処方せんも考えられる。実際、筆者らはフッ素終端処理で VRT が減少することを見いだしているし⁶⁾、サムスン電子のグループからも、フッ素・水素処理の VRT への影響が報告されている⁴⁾。

謝 辞

本研究は、エルピーダメモリ (株) および日本電気 (株) と共同で行われたものです。ご協力をいただいたエルピーダメモリ (株) の小此木堅祐氏、大湯静憲氏ほか皆様方、藤枝信次氏、望月康則氏 (以上、日本電気 (株))、磯谷順一氏 (筑波大学) に感謝の意を申し上げます。

文 献

- 1) 木村紳一郎: 応用物理 **69**, 1233 (2000).
- 2) D. S. Yaney, C. Y. Lu, R. A. Kohler, M. J. Kelly and J. T. Nelson: *Tech. Dig. Int. Electron Devices Meet., Washington, D. C., 1987*, p. 336.
- 3) P. J. Restle, J. W. Park and B. F. Lloyd: *Tech. Dig. Int. Electron Devices Meet., San Francisco, 1992*, p. 807.
- 4) Y. I. Kim, K. H. Yang and W. S. Lee: *Proc. Int. Reliability Physics Symp., Phoenix, 2004*, p. 667.
- 5) T. Umeda, K. Okonogi, K. Ohyu, S. Tsukada, K. Hamada, S. Fujieda and Y. Mochizuki: *Appl. Phys. Lett.* **88**, 253504 (2006).
- 6) K. Ohyu, T. Umeda, K. Okonogi, S. Tsukada, M. Hidaka, S. Fujieda and Y. Mochizuki: *Tech. Dig. Int. Electron Devices Meet., San Francisco, 2006*, p. 389.
- 7) P. J. Restle and A. Gnudi: *IBM J. Res. & Dev.* **34**, 227 (1990).
- 8) M.-J. Chen and M.-P. Lu: *Appl. Phys. Lett.* **81**, 3488 (2002).
- 9) Y. Mori, K. Ohyu, K. Okonogi and E. Yamada: *Tech. Dig. Int. Electron Devices Meet., Washington, D. C., 2005*, p. 41.
- 10) T. Umeda, Y. Mochizuki, K. Okonogi and K. Hamada: *J. Appl. Phys.* **94**, 7105 (2003).
- 11) Y. H. Lee and J. W. Corbett: *Phys. Rev.* **13**, 2353 (1976).
- 12) K. Okonogi, K. Ohyu, A. Toda and H. Kobayashi: *Tech. Dig. Int. Electron Devices Meet., San Francisco, 2004*, p. 65.
- 13) K. Okonogi, K. Ohyu, T. Umeda, H. Miyake and S. Fujieda: *Proc. Int. Reliability Physics Symp., San Jose, 2005*, p. 695.

(2007年5月1日 受理)



うめだ たかひで
梅田 享英

1999年筑波大学大学院工学研究科物質工学専攻博士課程修了、工学博士。同年日本電気(株)基礎研究所入所。同社シリコンシステム研究所を経て、03年から筑波大学大学院図書館情報メディア研究科助教授(准教授)。現在、電子スピン共鳴分光法による結晶欠陥の研究と、結晶欠陥に関する研究情報の蓄積活動 (<http://www.kc.tsukuba.ac.jp/div-media/defect/>) に従事。